

Alignment of a contact hole

Patent Number: ☐ EP0917194, A3
Publication date: 1999-05-19
Inventor(s): IMAI KIYOTAKA (JP)
Applicant(s):: NIPPON ELECTRIC CO (JP)
Requested Patent: ☐ JP11145468
Application Number: EP19980250396 19981112
Priority Number(s): JP19970311851 19971113
IPC Classification: H01L21/768 ; H01L23/528
EC Classification:
Equivalents: JP3064999B2, ☐ US6031271

Abstract

A semiconductor device includes a first semiconductor body, a diffusion layer in the first semiconductor body, and a laminated structure of an insulating layer on the first semiconductor body adjacent to the diffusion layer and a conductive layer on the insulating layer. An insulating spacer having a width W is formed on a sidewall of the laminated structure. A second semiconductor body is provided having a shared contact hole for establishing an ohmic contact between the diffusion layer and the conductive layer. The shared contact hole has a center axis located at a distance $W/2$ from the edge of the conductive layer so that portions of the diffusion layer and the conductive layer which are exposed to

the outside through the shared contact hole have substantially equal areas.  

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3064999号

(P3064999)

(45) 発行日 平成12年 7 月12日 (2000. 7. 12)

(24) 登録日 平成12年 5 月12日 (2000. 5. 12)

(51) Int.Cl. ⁷	識別記号	F I
H 0 1 L 29/78		H 0 1 L 29/78
21/28	3 0 1	21/28
21/8244		27/10
27/11		

請求項の数 8 (全 7 頁)

(21) 出願番号	特願平9-311851	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年11月13日 (1997. 11. 13)	(72) 発明者	今井 清隆 東京都港区芝五丁目7番1号 日本電気株式会社内
(65) 公開番号	特開平11-145468	(74) 代理人	100065385 弁理士 山下 稔平
(43) 公開日	平成11年 5 月28日 (1999. 5. 28)		
審査請求日	平成9年11月13日 (1997. 11. 13)	審査官	今井 拓也
		(56) 参考文献	特開 平1-189938 (J P, A) 特開 平8-125137 (J P, A) 特開 昭61-168265 (J P, A) 特開 昭62-85461 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 ゲート電極側壁に絶縁物からなる幅Wのサイドウォールスペーサーを有し、前記ゲート電極表面および拡散層表面に金属シリサイド層を有する半導体装置において、

前記ゲート電極と前記拡散層を同一のコンタクトホールを用いて接続する場合、前記コンタクトホールの中心位置を前記サイドウォールスペーサー幅Wの半分の距離だけ、前記ゲート電極端より前記拡散層側に移動させて形成したことを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記コンタクトホール形成時に、前記サイドウォールスペーサーを取り除いていないことを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、

2

前記コンタクトホール形成時に、前記サイドウォールスペーサーを取り除いたことを特徴とする半導体装置。

【請求項4】 請求項1乃至4のいずれか1項に記載の半導体装置において、該半導体装置は絶縁ゲート型電界効果トランジスタを有するスタティックランダムアクセスメモリ (S R A M) のセルであることを特徴とする半導体装置。

10

【請求項5】 ゲート電極側壁に絶縁物からなる幅Wのサイドウォールスペーサーを有し、前記ゲート電極表面および拡散層表面に金属シリサイド層を有する絶縁ゲート型電界効果トランジスタの半導体装置の製造方法において、

前記ゲート電極と前記拡散層を同一のコンタクトホールを用いて接続する場合、前記コンタクトホールの中心位置を前記サイドウォールスペーサー幅Wの半分の距離だ

け、前記ゲート電極端より前記拡散層側に移動させて形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、前記コンタクトホール形成時に、前記サイドウォールスペーサーを取り除かないことを特徴とする半導体装置の製造方法。

【請求項7】 請求項5に記載の半導体装置の製造方法において、前記コンタクトホール形成時に、前記サイドウォールスペーサーを取り除くことを特徴とする半導体装置の製造方法。

【請求項8】 請求項5又は7に記載の半導体装置の製造方法において、前記サイドウォールを取り除いたコンタクトホールに前記拡散層と同導電型の不純物を追加注入することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型電界効果トランジスタ構造の半導体装置及びその製造方法に関し、特にスタティック・ランダムアクセスメモリ（SRAM）のセル構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、メモリはRAMとROMに大別でき、RAMはランダムに読み書き可能なメモリで、ROMは予め書き込まれたデータの読み出し専用のメモリであり、RAMはその特性からDRAMとSRAMに分類され、SRAMには2個の高抵抗と4個のMOSトランジスタで1セルを構成する高抵抗負荷型と、6個のMOSトランジスタで1セルを構成するCMOS型が一般的である。

【0003】図5に4つのPMOSトランジスタと2つのNMOSトランジスタを有する6トランジスタSRAMセルの回路図を示す。6トランジスタSRAMセルは2つのドライバーゲート1、2および2つのトランスファゲート1、2が構成されており、ドライバーゲート1の出力はドライバーゲート2のゲート電極と接点1（5）で接続され、ドライバーゲート2の出力はドライバーゲート1のゲート電極と接点2（6）で接続されている。

【0004】図6に、図5で説明した1セルを示す6トランジスタSRAMセルのレイアウト図の一例を示す。N型拡散層12とゲート電極13はNMOSトランジスタを、またP型拡散層11とゲート電極13はPMOSトランジスタをそれぞれ構成する。トランスファゲート1およびドライバーゲート1を構成するnMOSのドレイン領域は、ドライバーゲート2のゲート電極13と同一のコンタクトホール（共通コンタクトホール）17で接続される構造となっている。共通コンタクトホール17は図5における接点1に相当し、共通コンタクトホール18は図5における接点2に相当している。これら

の共通コンタクトホール17、18を用いることにより、メモリセル内に必要なコンタクトホール数を削減することが出来るため、セルサイズの縮小に効果がある。

【0005】また、図6において、ワード線7はゲート電極14と共通であり、トランスファゲート3、4のゲート電極となり、トランスファゲート3の他方の拡散層は接点1で共通コンタクトホール17に接続され、トランスファゲート4の他方の拡散層は共通コンタクトホール18まで延長して接続されている。

10 【0006】図7は、N型拡散層上にポリシリコン層からなるゲート電極13を有する場合の、共通コンタクトホール17の平面図（図7（a））および図6のA-A'における断面図（図7（b））である。図7（b）において、P型シリコン基板21上にPウェル領域22および素子分離領域23が形成されており、ゲート酸化膜24を介してゲート電極13が存在している。層間膜25の一部をエッチングして共通コンタクトホール17が形成されている。共通コンタクトホール17の中心線をゲート電極13端に置くことにより、ゲート電極13上の共通コンタクトホール面積とN型拡散層12上の共通コンタクトホール面積が等しくなるようにしている。このため共通コンタクトホール17がゲート電極13に対して、左右に対称の位置ずれマージンが生まれる。

【0007】

【発明が解決しようとする課題】しかしながら、近年の電極幅0.35ミクロン以降のロジックデバイスでは、層抵抗を下げるため、ゲート電極および拡散層の表面をシリサイド化する技術が用いられている。ゲート電極上のシリサイド層と拡散層上のシリサイド層はゲート電極側壁に形成された絶縁層からなるサイドウォールスペーサーによって電氣的に分離されている。ロジックLSI上に混在するSRAMメモリセルにおいてもゲート電極および拡散層の表面はシリサイド化された構造となる。

30 【0008】図8はゲート電極および拡散層の表面をシリサイド化した場合の共通コンタクト領域の平面図（図8（a））、および断面図（図8（b）、（c））を示す。図8（b）において、ゲート電極13の側壁にはサイドウォールスペーサー26が存在し、ゲート電極13およびN型拡散層12の表面にシリサイド層27が形成されている。通常コンタクトホール17を形成時にレジストを設けてエッチングによって、共通コンタクトホール17に露出したサイドウォールスペーサー26は同時にエッチングされ、図8（c）に示すように、サイドウォールスペーサー26の存在していたN型拡散層領域12の一部には、サイドウォールスペーサー26の一部をエッチング除去のため、シリサイド層27が存在しない構造となる。

40 【0009】図9は共通コンタクトの中心線をゲート電極端に合わせた場合を0として、共通コンタクトの中心線をゲート電極側に移動する方向を+、拡散層側に移動

する方向を－とした場合の、ゲート電極に対する共通コンタクトの位置ずれ距離と共通コンタクト抵抗の関係を示している。図9の下段の共通コンタクトホール周辺の平面図から、N型拡散層とゲート電極との共通コンタクトホールにおいて、(－)方向は共通コンタクトホールとゲート電極の重なり部分が減少する方向の場合を示し、(＋)方向は共通コンタクトホールとゲート電極の重なり部分が増加する方向の場合を示している。また、この図9上段のグラフから、＋方向に0.04ミクロン以上位置ずれした場合、共通コンタクト抵抗が急激に上

昇する一方で、－方向には0.14ミクロンまで位置ずれしても共通コンタクト抵抗の上昇が見られないというアンバランスな状態になっていることがわかる。

【0010】この原因は、ゲート電極13上のシリサイド層27と共通コンタクトホール17の重なり面積と、N型拡散層12上のシリサイド層27と共通コンタクトホール17の重なり面積が異なることに由来する。また、サイドウォールスペーサー26に覆われていたN型拡散層12は、不純物濃度が薄くなっており、またコンタクトエッチングの際にシリサイド層27が無いためにシリコン表面が削られやすいため、リーク電流が発生しやすくなっている。

【0011】【発明の目的】本発明は、上述の共通コンタクトホール部分のゲート電極および拡散層の表面をシリサイド化する技術が用いられているSRAMセルのゲート電極とドレイン拡散層をつなぐ共通コンタクトが、ゲート電極に対しての位置ずれマージンをバランス良く得ることを目的としている。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するものであり、ゲート電極側壁に絶縁物からなるサイドウォールスペーサーを有し、ゲート電極表面および拡散層表面に金属シリサイド層を有する絶縁ゲート型電界効果トランジスタにおいて、前記ゲート電極と前記拡散層を同一のコンタクトホールを用いて接続する場合、前記コンタクトホールの中心位置を前記サイドウォールスペーサー幅の半分の距離だけ、ゲート電極端より拡散層側に移動させて形成する。

【0013】また、本発明は、ゲート電極側壁に絶縁物からなる幅Wのサイドウォールスペーサーを有し、前記ゲート電極表面および拡散層表面に金属シリサイド層を有する半導体装置において、前記ゲート電極と前記拡散層を同一のコンタクトホールを用いて接続する場合、前記コンタクトホールの中心位置を前記サイドウォールスペーサー幅Wの半分の距離だけ、前記ゲート電極端より前記拡散層側に移動させて形成したことを特徴とする。

【0014】更に、上記半導体装置において、前記コンタクトホール形成時に、前記サイドウォールスペーサーを取り除いていないことを特徴とする。また、前記コンタクトホール形成時に、前記サイドウォールスペーサー

を取り除いたことを特徴とする。さらに、上記半導体装置において、該半導体装置は絶縁ゲート型電界効果トランジスタを有するスタティックランダムアクセスメモリ(SRAM)のセルであることを特徴とする。

【0015】また、本発明は、ゲート電極側壁に絶縁物からなる幅Wのサイドウォールスペーサーを有し、前記ゲート電極表面および拡散層表面に金属シリサイド層を有する絶縁ゲート型電界効果トランジスタの半導体装置の製造方法において、前記ゲート電極と前記拡散層を同一のコンタクトホールを用いて接続する場合、前記コンタクトホールの中心位置を前記サイドウォールスペーサー幅Wの半分の距離だけ、前記ゲート電極端より前記拡散層側に移動させて形成することを特徴とする。

【発明の実施の形態】【第1の実施形態】次に、本発明の第1の実施形態について図面を参照して、詳細に説明する。

【0016】図1は本発明の半導体装置である共通コンタクトホール17部分の平面図(図1(a))およびA-A'での断面図(図1(b))を示している。かかる構成は、例えば、図5及び図6に示すSRAMの半導体装置に適用できる。

【0017】図1(a)において、N型拡散層12とゲート電極13とを接続する場合に共通コンタクトホール17を形成する平面図を示している。

【0018】図1(b)には、P型シリコン基板21上にPウェル領域22およびLOCOS(Local Oxidation of Silicon)等の素子分離領域23が形成されており、ゲート酸化膜24を介してゲート電極13が存在している。層間膜25の一部をエッチングして共通コンタクトホール17が形成されている。共通コンタクトホール17の形成時のエッチングによって、共通コンタクトホール17に露出したサイドウォールスペーサー26は同時にエッチングされ、図1(b)に示すようにサイドウォールスペーサー26の存在していた拡散層領域12の一部にはシリサイド層27が存在しない構造となる。これは、P型ウェル領域内にイオン注入法等でN型拡散層12を形成し、コンタクトホール17を形成する前には図1(b)上ゲート電極13の左側にサイドウォール部と該サイドウォール部に隣接してシリサイド領域27が形成しており、コンタクトホール17を形成することでコンタクトホール17下のサイドウォール部が除去されたものである。

【0019】従来例に比べ、共通コンタクトホール17の中心線をゲート電極13の側壁に形成されたサイドウォールスペーサー26の幅Wの半分だけN型拡散層12側に移動しておくことにより、ゲート電極13上のシリサイド層27上と共通コンタクトホール17の重なり面積が、N型拡散層12上のシリサイド層27と共通コンタクトホール17の重なり面積が等しくなるようにしている。このため共通コンタクトホール17がゲート電極

13に対して、左右に対称の位置ずれマージンが生まれる。

【0020】図4は本実施形態を適用した場合の共通コンタクトホール17の中心線をゲート電極端からサイドウォールスペーサー26の幅Wの半分だけ拡散層側にずらしたところを0として、共通コンタクトの中心線をゲート電極側に移動する方向を+、拡散層側に移動する方向を-とした場合の、ゲート電極に対する共通コンタクトの位置ずれ距離と共通コンタクト抵抗の関係を示している。また、図4下段の共通コンタクトホール周辺の平面図から、N型拡散層とゲート電極との共通コンタクトホールにおいて、（-）方向は共通コンタクトホールとゲート電極の重なり部分が減少する方向の場合を示し、（+）方向は共通コンタクトホールとゲート電極の重なり部分が増加する方向の場合を示している。

【0021】この図4から、+方向、-方向ともに0.09ミクロンという左右に対称な位置ずれマージンが得られた。

【0022】〔第2の実施形態〕次に、本発明の第2の実施形態について図面を参照して説明する。図2は図1のコンタクトホール17を形成した後の工程を示し、図1と同一符号は同一部分であり、重複する説明を省略する。

【0023】共通コンタクトホール17を形成後、共通コンタクトホール17にN型の不純物、たとえばリンを、エネルギー30～70keV、ドーズ量 5×10^{14} ～ $5 \times 10^{15} \text{ cm}^{-2}$ 注入する事により、図2に示すようにN型拡散層2（28）を形成する。この結果、シリサイド27の形成されていない拡散層領域の接合深さを深く、かつ高濃度にするため、従来問題であったリーク電流を低減することが出来る。

【0024】〔実施形態3〕次に、本発明の第3の実施形態について図面を参照して説明する。図3（a）は、図1（a）と同様に、N型拡散層12とゲート電極13とを接続する場合に共通コンタクトホール17を形成する平面図を示している。

【0025】図3（b）において、サイドウォールスペーサー26の材質を層間膜25と異なるものを使うことにより、共通コンタクトホール17の形成時のエッチング時にサイドウォールスペーサー26を残すことが可能である。たとえば層間膜25に酸化膜、サイドウォールスペーサー26に窒化膜を使い、対窒化膜選択比20程度の酸化膜エッチング条件を用いることにより、サイドウォールスペーサー26を殆どエッチングすることなく共通コンタクト内に残すことが出来る。

【0026】この構造ではサイドウォールスペーサー下のシリサイドされていないシリコン表面が露出しないので、リークの発生が抑えられる。

【0027】上記実施形態では、特にSRAMのトランスファークゲートとドライバーゲートとの接点に用いるコ

ンタクトホールに用いる場合に適切な例を示したが、SRAMの2抵抗と4MOSトランジスタの場合や、フラッシュメモリのトランスファークゲートとワード線に接続された各セルとのコンタクト点で用いるコンタクトホールの形成の場合等に用いる他の形態の場合であっても本発明を適用できる。

【0028】

【発明の効果】本発明によれば、半導体装置及びこの製造方法により、半導体装置のゲート電極と拡散層とのコンタクト用コンタクトホールにつき、ゲート電極のサイドウォールの厚さの半分の側面を中心線としてエッチングを行うので、共通コンタクトがゲート電極に対しての位置ずれマージンをバランス良く得ることができる。

【0029】特に、SRAMのトランスファークゲートとドライバーゲートとの接点に用いるコンタクトホールに用いることができるので、接点の抵抗値が減少し、SRAMとして低消費電力で高速の書き込み、読み出しを達成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の平面図および断面図である。

【図2】本発明の第2の実施形態の断面図である。

【図3】本発明の第3の実施形態の平面図および断面図である。

【図4】本実施形態の効果を示す共通コンタクト抵抗とゲート電極に対する位置ずれとの関係を示す図である。

【図5】一般的なSRAM回路図である。

【図6】SRAMレイアウト図の一例である。

【図7】第1の従来例の平面図および断面図である。

【図8】第2の従来例の断面図である。

【図9】第3の従来例の共通コンタクト抵抗とゲート電極に対する位置ずれとの関係を示す図である。

【符号の説明】

1 ドライバークゲート1

2 ドライバークゲート2

3 トランスファークゲート1

4 トランスファークゲート2

5 接点1

6 接点2

7 ワード線

8 Vdd

9 GND

11 P型拡散層

12 N型拡散層

13 ゲート電極

14 ゲート電極（ワード線）

15 コンタクトホール（Vcc）

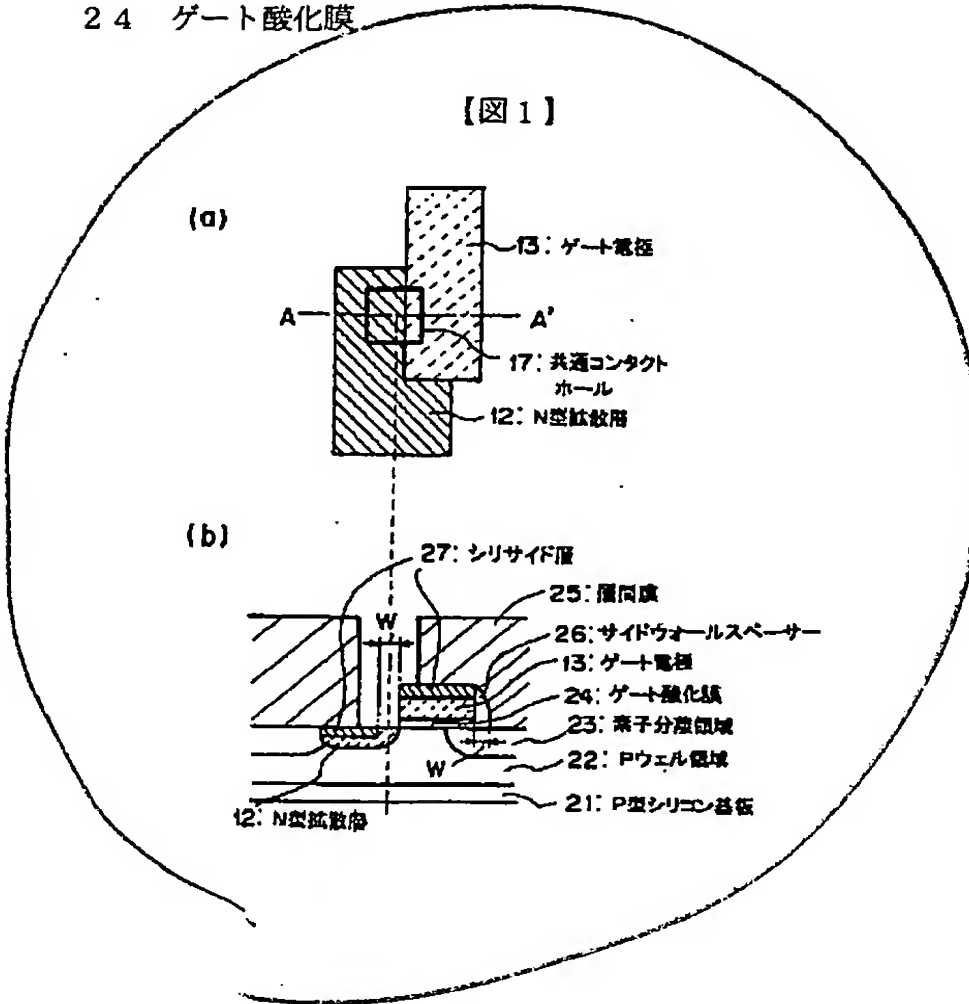
16 コンタクトホール（GND）

17 共通コンタクトホール（接点1に対応）

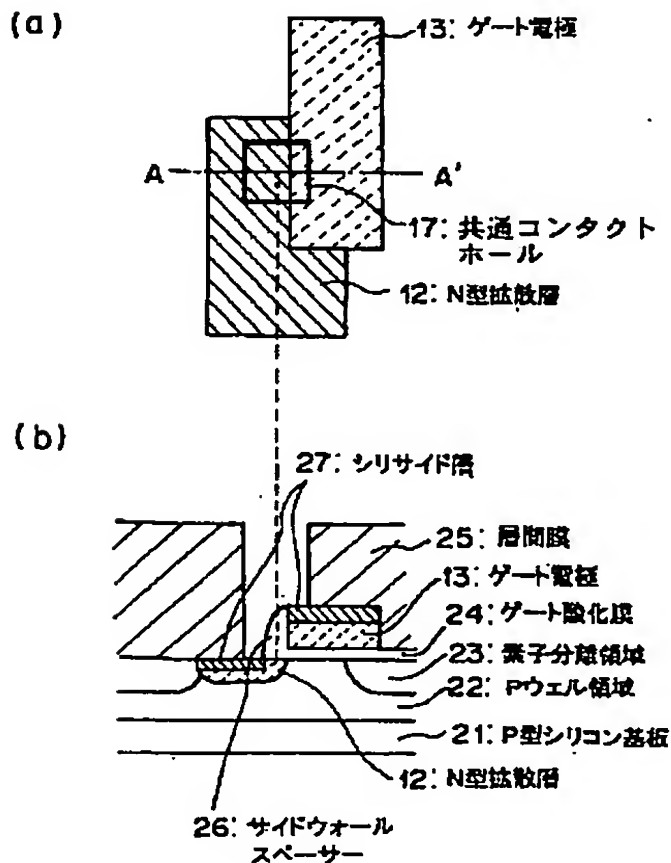
18 共通コンタクトホール（接点2に対応）

- 21 P型シリコン基板
- 22 Pウェル領域
- 23 素子分離領域
- 24 ゲート酸化膜

【図1】

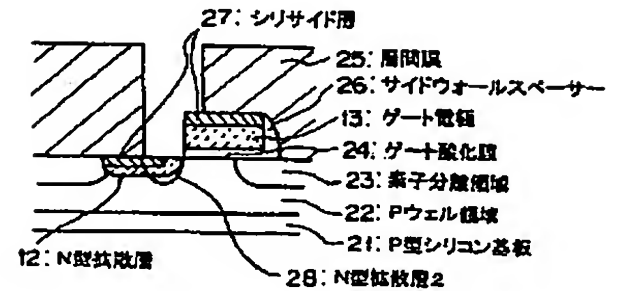


【図3】

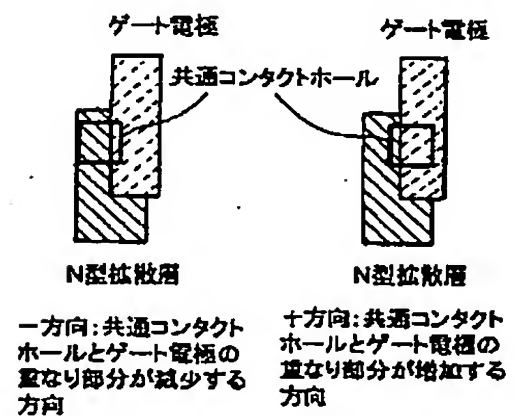
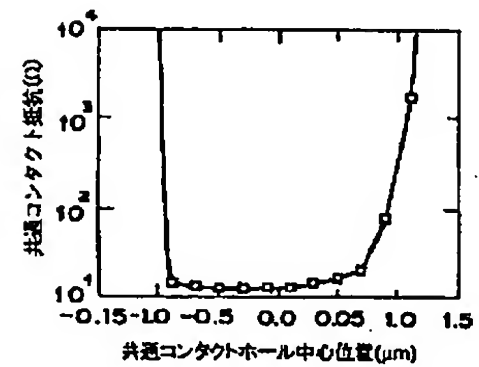


- 25 層間膜
- 26 サイドウォールスペーサー
- 28 N型拡散層2

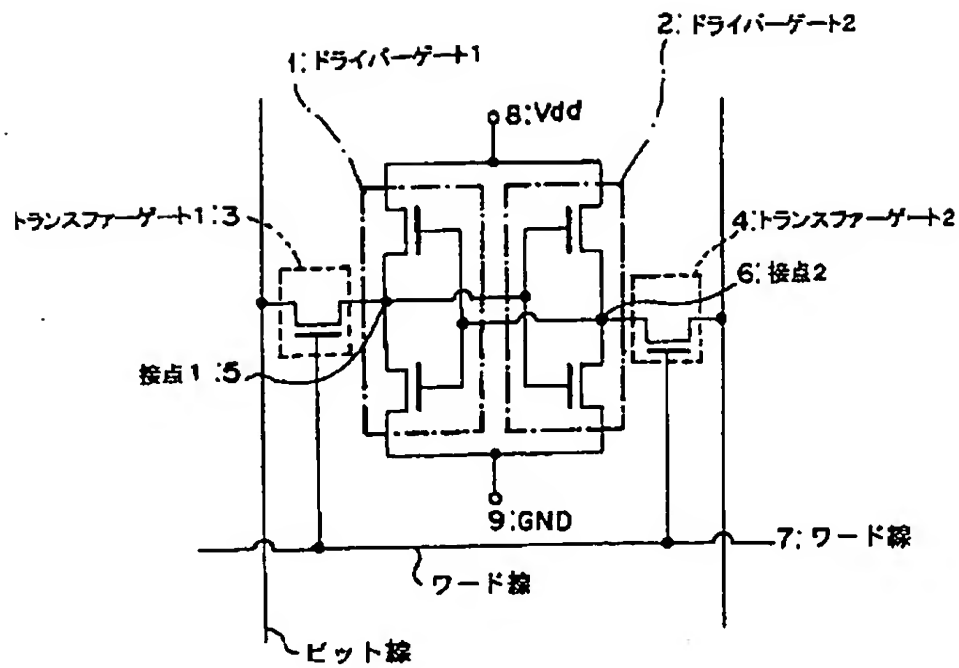
【図2】



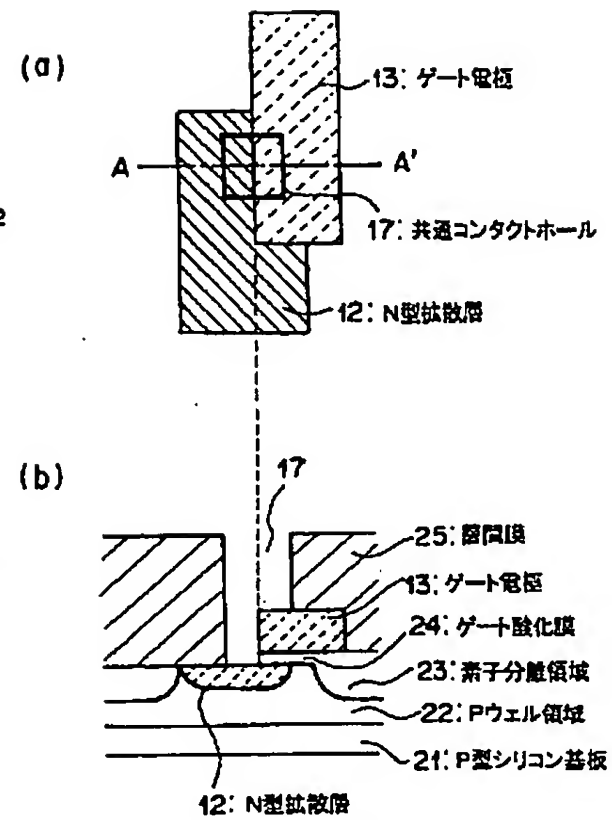
【図4】



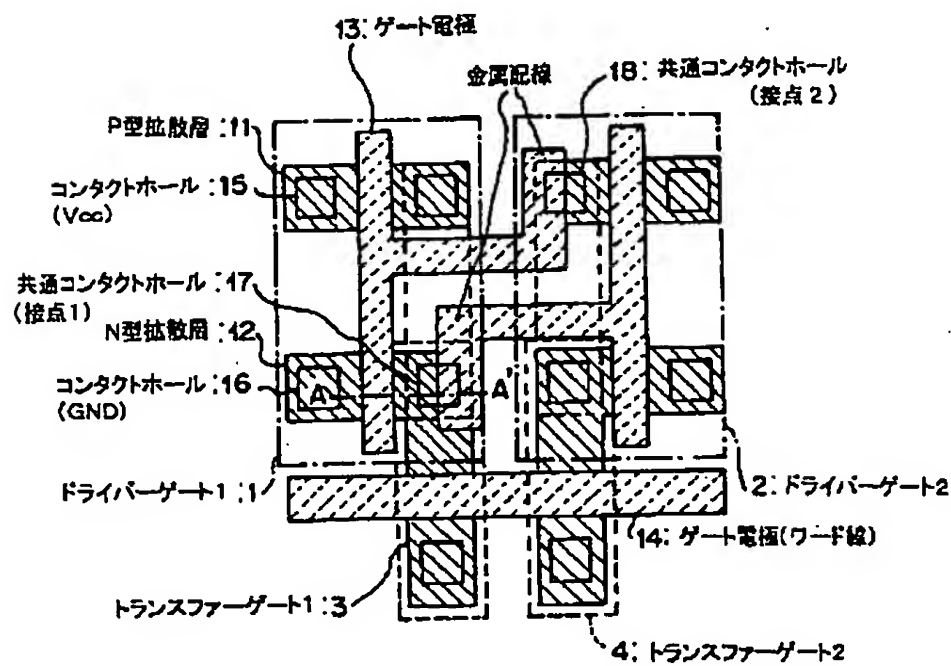
【図5】



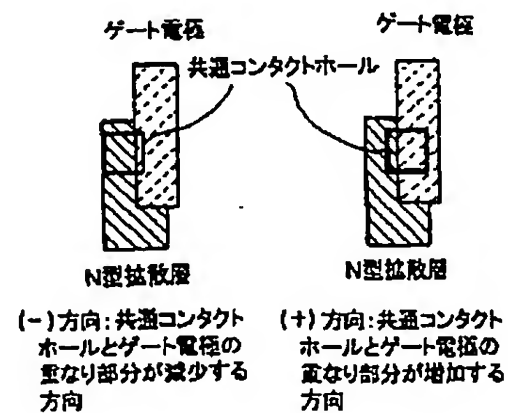
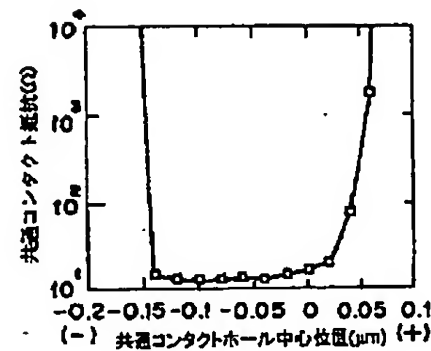
【図7】



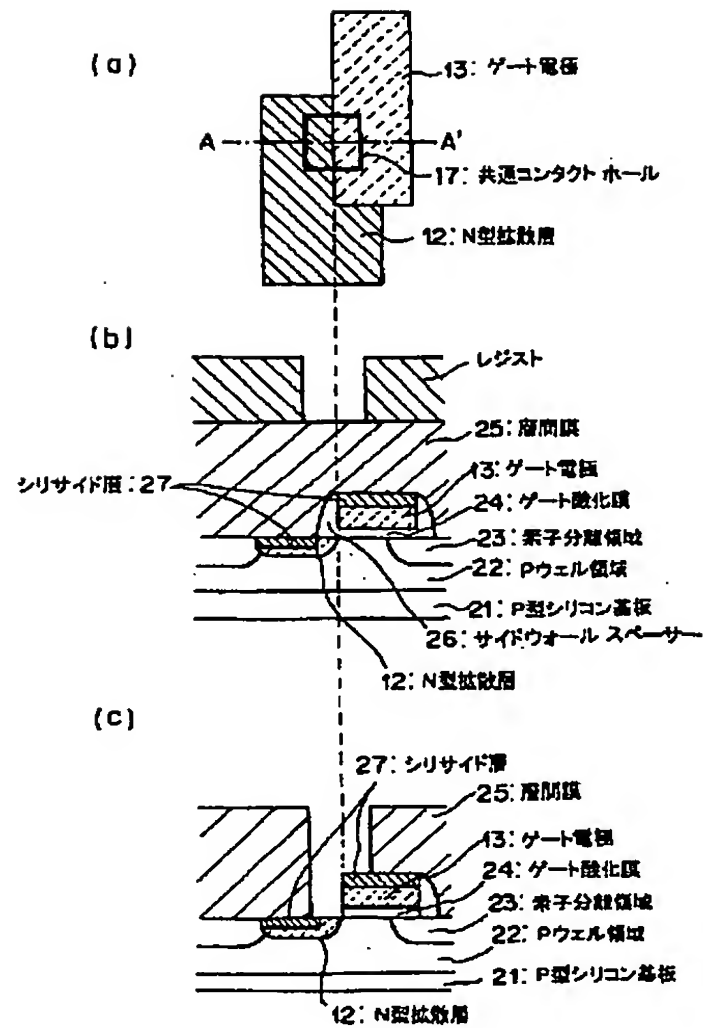
【図6】



【図9】



【図8】



フロントページの続き

(58) 調査した分野(Int. Cl.⁷, DB名)

H01L 29/78
H01L 21/28 301
H01L 21/8244
H01L 27/11
H01L 21/336

